

(C) WPI / Thomson

AN - 2002-125342 [17]

AP - JP19990328946 19991119

PR - JP19990328946 19991119

TI - Wiring board manufacture for packaging semiconductor device, involves providing palladium activity to metallized wiring layer, and forming preset copper plating layers for making palladium to act as reducer

IW - WIRE BOARD MANUFACTURE PACKAGE SEMICONDUCTOR DEVICE PALLADIUM ACTIVE LAYER FORMING PRESET COPPER PLATE ACT REDUCE

IN - NAKAHARA K; SHIMIZU N

PA - (KYOC) KYOCERA CORP

PN - JP2001148561 A 20010529 DW200217

PD - 2001-05-29

IC - H05K3/24; C23C18/40; H01L21/288; H01L23/12; H01L23/13

ICAI- C23C18/40; H01L21/288; H01L23/12; H01L23/13; H05K3/24

ICCI- C23C18/31; H01L21/02; H01L23/12; H05K3/24

DC - L03 M13

- U11 U14 V04

AB - NOVELTY :

The method involves providing palladium activity to the surface of metallized wiring layer (2). A primary copper plating layer (6) and a secondary copper plating layer (7), are formed using non-electrolytic copper plating liquids containing hypophosphorus and formalin or glyoxylic acid, on the wiring layer such that palladium acts as a reducer.

- DETAILED DESCRIPTION :

The metallized wiring layer formed on the surface of insulated base material (1), consists of tungsten, molybdenum and/or manganese.

- USE :

For package of semiconductor device and for hybrid integrated circuit board.

- ADVANTAGE :

The wiring board consists of a void part formed between the metallized wiring layer and copper plating layer, providing large adhesion strength between wiring layer and the copper plating layer. Generation of defects such as swelling of the wiring board, is prevented.

- DESCRIPTION OF DRAWINGS :

The figure shows the sectional drawing of the process employed in the manufacturing method of the wiring board.

1 : Insulated base material

2 : Metallized wiring layer

6 : Primary copper plating layer

7 : Secondary copper plating layer

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-148561

(P2001-148561A)

(43) 公開日 平成13年5月29日 (2001.5.29)

(51) Int.Cl.⁷

識別記号

F I

テ-マ-ト (参考)

H 0 5 K 3/24

H 0 5 K 3/24

C 4 K 0 2 2

H 0 1 L 23/13

C 2 3 C 18/40

4 M 1 0 4

23/12

H 0 1 L 21/288

M 5 E 3 4 3

// C 2 3 C 18/40

23/12

C

H 0 1 L 21/288

H

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号

特願平11-328946

(22) 出願日

平成11年11月19日 (1999. 11. 19)

(71) 出願人 000006633

京セラ株式会社

京都府京都市伏見区竹田烏羽殿町6番地

(72) 発明者 清水 範征

鹿児島県国分市山下町1番1号 京セラ株

式会社鹿児島国分工場内

(72) 発明者 中原 光一

鹿児島県国分市山下町1番1号 京セラ株

式会社鹿児島国分工場内

最終頁に続く

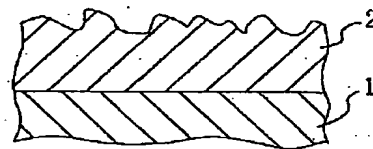
(54) 【発明の名称】 配線基板の製造方法

(57) 【要約】

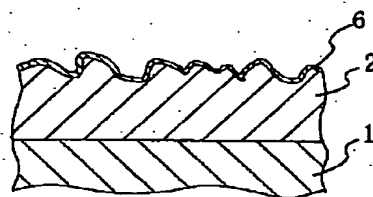
【課題】メタライズ配線層と銅めっき層との間に空隙が形成されて密着強度が弱く、銅めっき層に熱が作用した時、フクレ等の不具合が生じる。

【解決手段】絶縁基体1の表面に形成されたタングステン、モリブデン、マンガン少なくとも1種を主成分とするメタライズ配線層2の露出表面にパラジウム活性を施し、次に前記パラジウム活性を施したメタライズ配線層2の露出表面に、次亜リン酸塩を還元剤として使用するリン系無電解銅めっき液により1次銅めっき層6を被着形成し、最後に前記1次銅めっき層6の露出表面に、ホルマリンまたはグリオキシル酸を還元剤として使用する無電解銅めっき液により2次銅めっき層7を被着形成する。

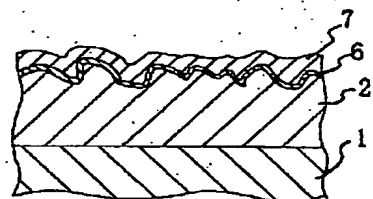
(a)



(b)



(c)



【特許請求の範囲】

【請求項1】(1)絶縁基体と、該絶縁基体の表面に形成されたタングステン、モリブデン、マンガンの少なくとも1種を主成分とするメタライズ配線層とから成る配線基板を準備するとともに前記メタライズ配線層の露出表面にパラジウム活性を施す工程と、(2)前記パラジウム活性を施したメタライズ配線層の露出表面に、次亜リン酸塩を還元剤として使用するリン系無電解銅めっき液により1次銅めっき層を被着形成する工程と、(3)前記1次銅めっき層の露出表面に、ホルマリンまたはグリオキシル酸を還元剤として使用する無電解銅めっき液により2次銅めっき層を被着形成する工程とから成る配線基板の製造方法。

【請求項2】前記1次銅めっき層の厚みが0.03 μ m以上であることを特徴とする請求項1に記載の配線基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子を収容するための半導体素子収納用パッケージや混成集積回路基板等に用いられる配線基板の製造方法に関するものである。

【0002】

【従来の技術】従来、半導体素子収納用パッケージや混成集積回路基板等に用いられる配線基板は、一般に、酸化アルミニウム質焼結体や窒化アルミニウム質焼結体等の電気絶縁材料から成る絶縁基体と、該絶縁基体の表面および内部に被着されたタングステン、モリブデン、マンガン等の金属材料から成るメタライズ配線層とにより形成されており、絶縁基体の表面に半導体素子や容量素子、抵抗器等の電子部品を搭載するとともに該電子部品の各電極をメタライズ配線層に錫—鉛半田等の低融点ろう材やボンディングワイヤ等の接続部材を介して電氣的に接続するようになっている。

【0003】かかる配線基板は、メタライズ配線層の所定部位を外周電気回路基板の配線導体に錫—鉛半田等の低融点ろう材を介し接続することによって外部電気回路基板上に実装され、同時に配線基板に搭載されている電子部品の各電極も所定の外部電気回路に電氣的に接続されることとなる。

【0004】また前記配線基板は、メタライズ配線層が半田濡れ性の悪いタングステンやモリブデン、マンガン等の金属材料で形成されているため、そのままでは電子部品の各電極をメタライズ配線層に錫—鉛半田等の低融点ろう材やボンディングワイヤ等の接続部材を介して確実、強固に電氣的接続することができないため、通常、メタライズ配線層の露出表面には銅等の半田濡れ性やボンディング性に優れた金属から成るめっき層が全体を覆うように所定厚みに被着されている。

【0005】なお、前記銅めっき層は、一般に、以下の

方法によってメタライズ配線層上に所定厚みに被着されている。

【0006】即ち、(1)酸化アルミニウム質焼結体、窒化アルミニウム質焼結体等の電気絶縁材料から成る絶縁基体と、絶縁基体の表面に形成されたタングステン、モリブデン、マンガンの少なくとも1種を主成分とするメタライズ配線層とから成る配線基板を準備するとともに、前記メタライズ配線層の露出表面にパラジウム活性液を作用させてパラジウム活性を施し、(2)次に前記パラジウム活性を施したメタライズ配線層の露出表面に、銅供給源である硫酸銅と、還元剤であるホルマリンまたはグリオキシル酸とを主成分とし、水酸化ナトリウム等のpH調整剤と、有機酸(塩)等の錯化剤とを添加して成る無電解銅めっき液を使用して銅めっき層を所定厚みに被着させる、ことによって行われていた。

【0007】

【発明が解決しようとする課題】しかしながら、上記従来の配線基板の製造方法では、メタライズ配線層の露出表面に銅めっき層を被着させる無電解銅めっき液がホルマリンまたはグリオキシル酸を還元剤として使用しており、かかる無電解銅めっき液は自己触媒作用を有し、銅の析出速度が速いことから、メタライズ配線層表面の凸部に銅が縦方向に優先して析出し、その結果、図4に示す如く、メタライズ配線層11表面の凹部に空隙部13が形成されしまい、銅めっき層12とメタライズ配線層11との密着強度が弱くなったり、銅めっき層12に熱が作用した時、フクレ等の不具合が生じたりするという問題があった。

【0008】また同時に、前記ホルマリンを還元剤として使用した無電解銅めっき液は自己触媒作用を有しているため析出する銅の粒子が大きなものとなり、下地のメタライズ配線層の結晶構造とは大きく異なる結晶構造となって銅粒子内に大きな応力が発生、内在してしまい、その結果、銅めっき層とメタライズ配線層との密着強度が弱くなるという問題もあった。

【0009】本発明は上記欠点に鑑み案出されたもので、その目的はタングステン、モリブデン、マンガンの少なくとも1種を主成分とするメタライズ配線層の露出表面に銅めっき層を無電解めっき法により確実、強固に被着させることが可能な配線基板の製造方法を提供することにある。

【0010】

【課題を解決するための手段】本発明の配線基板の製造方法は、(1)絶縁基体と、該絶縁基体の表面に形成されたタングステン、モリブデン、マンガンの少なくとも1種を主成分とするメタライズ配線層とから成る配線基板を準備するとともに前記メタライズ配線層の露出表面にパラジウム活性を施す工程と、(2)前記パラジウム活性を施したメタライズ配線層の露出表面に、次亜リン酸塩を還元剤として使用するリン系無電解銅めっき液に

より1次銅めっき層を被着形成する工程と、(3)前記1次銅めっき層の露出表面に、ホルマリンまたはグリオキシル酸を還元剤として使用する無電解銅めっき液により2次銅めっき層を被着形成する工程とから成ることを特徴とするものである。

【0011】また本発明の配線基板の製造方法は、前記1次銅めっき層の厚みが0.03 μ m以上であることを特徴とするものである。

【0012】本発明の配線基板の製造方法によれば、メタライズ配線層の露出表面にパラジウム活性を施した後、まず次亜リン酸塩を還元剤として用いた自己触媒作用を有さないリン系無電解銅めっき液により1次銅めっき層を被着させることから、メタライズ配線層の表面に凹凸があるとしても凹部内を含む表面全体に1次銅めっき層を均等に形成することができ、同時に前記1次銅めっき層の表面にホルマリンまたはグリオキシル酸を還元剤として使用した自己触媒作用を有する無電解銅めっき液により2次銅めっき層を被着形成させることから、1次銅めっき層の表面に活性処理を施すことなく2次銅めっき層を所定厚みに、かつ1次銅めっき層に対し接合強度を大として被着させることができ、その結果、メタライズ配線層の表面の凹部に空隙部が形成されることはなくメタライズ配線層と銅めっき層との被着強度を大としてフクレ等の不具合を生じることのない配線基板を形成することができる。

【0013】

【発明の実施の形態】次に本発明を添付図面に基づいて詳細に説明する。図1は、本発明の製造方法で製作された配線基板を、半導体素子収納用パッケージに適用した場合の一実施例を示す断面図であり、1は絶縁基体、2はメタライズ配線層である。この絶縁基体1とメタライズ配線層2とで半導体素子3が搭載される配線基板4が構成される。

【0014】前記絶縁基体1は、例えば、酸化アルミニウム質焼結体、ムライト質焼結体、窒化アルミニウム質焼結体、炭化珪素質焼結体等の電気絶縁材料から成り、その上面に半導体素子3を搭載する搭載部1aを有し、搭載部1a表面には半導体素子3がガラスや樹脂、ロウ材等の接着剤を介して接着固定される。

【0015】また前記絶縁基体1は、その搭載部1a周辺から下面にかけて多数のメタライズ配線層2が被着形成されており、該メタライズ配線層2の搭載部1a周辺部位には半導体素子3の各電極がボンディングワイヤ5を介して電氣的に接続され、また絶縁基体1下面に導出された部位は外部電気回路基板の回路導体と錫—鉛半田等の低融点ロウ材等を介して電氣的に接続される。

【0016】前記メタライズ配線層2は、図2に示す如く、その露出表面に1次銅めっき層6および2次銅めっき層7が順次被着されている。

【0017】前記1次銅めっき層6および2次銅めっき層

7は、メタライズ配線層2の低融点ロウ材との濡れ性やボンディングワイヤ5との接合性を良好なものとする作用をなす。

【0018】なお前記絶縁基体1はその上面に前記搭載部1aを覆うように蓋体8が取着され、該蓋体8によって絶縁基体1の搭載部1aに搭載された半導体素子3を気密封止するようになっている。

【0019】次に、上述の配線基板の製造方法について図3(a)乃至(c)に基づいて説明する。なお、図中、図1及び図2と同一箇所には同一符号が付してある。

【0020】まず、図3(a)に示す如く、表面にタングステン、モリブデン、マンガンの少なくとも1種を主成分とするメタライズ配線層2を有する絶縁基体1を準備するとともに前記メタライズ配線層2の露出表面にパラジウム活性を施す。

【0021】前記絶縁基体1は、酸化アルミニウム質焼結体、ムライト質焼結体、窒化アルミニウム質焼結体、炭化珪素質焼結体等の電気絶縁材料から成り、例えば、酸化アルミニウム質焼結体から成る場合、酸化アルミニウム、酸化珪素、酸化カルシウム、酸化マグネシウム等の原料粉末に適当な有機バインダー、溶剤を添加混合して泥漿状のセラミックスラリーとなすとともに該セラミックスラリーを従来周知のドクターブレード法やカレンダーロール法等のシート成形技術を採用してシート状のセラミックグリーンシート(セラミック生シート)を得、しかる後、前記セラミックグリーンシートに切断加工や打ち抜き加工等を施して適当な形状とするとともにこれを複数枚積層し、最後に前記積層されたセラミックグリーンシートを還元雰囲気中、約1600℃の温度で焼成することによって製作される。

【0022】また前記メタライズ配線層2は、タングステンやモリブデン、モリブデン/マンガン、タングステン/銅、モリブデン/銅、タングステン/モリブデン/銅、等のタングステン、モリブデン、マンガンの少なくとも1種を主成分とする金属材料により形成されている。

【0023】前記メタライズ配線層2は、例えば、タングステン等の金属粉末に適当な有機バインダーや溶剤を添加混合して得た金属ペーストを絶縁基体1となるセラミックグリーンシートに予め従来周知のスクリーン印刷法により所定パターンに印刷塗布しておくことによって、絶縁基体1の所定位置に被着形成される。

【0024】前記メタライズ配線層2は、またその露出表面がパラジウム活性により触媒活性が付与されており、後の工程で次亜リン酸を還元剤として使用する無電解銅めっき液による銅めっき層の被着形成が可能となっている。

【0025】前記パラジウム活性は、例えば、メタライズ配線層2の露出表面を、塩化パラジウム等のパラジウ

ム化合物を主成分とするパラジウム活性液中に所定時間浸漬することにより行われる。

【0026】次に、次亜リン酸塩を還元剤として用いたリン系無電解銅めっき液を準備するとともにこのリン系無電解銅めっき液を用いて、図3(b)に示す如く、前記パラジウム活性を施したメタライズ配線層2の露出表面に1次銅めっき層6を被着形成する。

【0027】前記1次銅めっき層6はメタライズ配線層2の露出表面の全面を覆うように、その表面の凹凸に沿って形成され、後の工程で被着形成される2次銅めっき層7の下地として作用する。この1次銅めっき層6は、自己触媒作用を有しないリン系無電解銅めっき液を用いることにより形成されることから、メタライズ配線層2の表面に凹凸があるとしても凹部内を含む表面全体に1次銅めっき層6を均等に形成することができる。

【0028】なお、前記1次めっき層6は自己触媒作用を有さないことからその厚みは0.3 μ m以上になるとはなく、同時に0.03 μ m未満の薄いものとなるとメタライズ配線層2の表面全体を完全に覆うことが難しく、2次めっき層7をメタライズ配線層2に強固に被着させるのが困難となる傾向にある。従って、前記1次銅めっき層6は、その厚さを0.03 μ m以上としておくことが好ましい。

【0029】また、前記1次銅めっき層6は、銅の析出時に還元剤中のリンが共析することから、リンを1~10重量%程度含有している。

【0030】そして次に、ホルマリンまたはグリオキシル酸を還元剤として用いた無電解銅めっき液を準備するとともにこの無電解銅めっき液を用いて前記1次銅めっき層6の表面に図3(c)に示す如く、2次銅めっき層7を被着形成する。

【0031】前記2次銅めっき層7は、メタライズ配線層2の露出表面に被着形成される銅めっき層を所定の厚みとなすとともに、メタライズ配線層2の低融点ロウ材との濡れ性やボンディングワイヤ5との接合性を良好なものとする作用をなす。

【0032】前記ホルマリンまたはグリオキシル酸を還元剤として用いた無電解銅めっき液はそれ自体が自己触媒作用を有するため1次銅めっき層6の表面に活性処理を施すことなく2次銅めっき層7を所定厚みに、かつ1次銅めっき層6に対し接合強度を大として被着させることができ、その結果、メタライズ配線層2の表面の凹部に空隙部が形成されることはなくメタライズ配線層2と銅めっき層との被着強度を大としてフクレ等の不具合を生じることのない配線基板を形成することができる。

【0033】なお、前記2次銅めっき層7は、その厚みが1 μ m未満であるとメタライズ配線層2の低融点ロウ材との濡れ性やボンディングワイヤ5との接合性が悪くなる危険性があり、また10 μ mを超えると2次銅めっき層7を形成する際に発生する応力によってメタライズ

配線層2と銅めっき層との接合強度が低下してしまう危険性がある。従って、前記2次銅めっき層7はその厚みを1 μ m~10 μ mの範囲としておくことが好ましい。

【0034】また前記メタライズ配線層2は、前記2次銅めっき層7の表面にさらに金めっき層(図示せず)を0.05 μ m~2 μ mの厚さで被着させておくと、銅めっき層の酸化腐食を有効に防止することができるとともに、低融点ロウ材の濡れ性やボンディングワイヤの接合性をより一層優れたものとなすことができる。従って、前記メタライズ配線層2は、2次銅めっき層7の露出表面に更に金めっき層を0.05 μ m~2 μ mの厚さで被着させておくことがより一層好ましい。

【0035】前記半導体素子3が搭載される絶縁基体1は、またその上面に蓋体8が樹脂、ガラス、ロウ材等からなる封止材を介して接合され、この蓋体8と絶縁基体1とによって半導体素子3が内部に気密に封止されることとなる。

【0036】前記蓋体8は酸化アルミニウム質焼結体やムライト質焼結体、窒化アルミニウム質焼結体等のセラミックス材料、あるいは鉄-ニッケル-コバルト合金や鉄-ニッケル合金等の金属材料から成り、例えば、酸化アルミニウム質焼結体から成る場合には、酸化アルミニウム、酸化珪素、酸化マグネシウム、酸化カルシウム等の原料粉末を従来周知のプレス成形法を採用することによって板状に成形するとともにこれを約1500℃の温度で焼成することによって形成される。

【0037】かくして上述の本発明の配線基板を適用した半導体素子収納用パッケージによれば、絶縁基体1の搭載部1a上に半導体素子3をガラス、樹脂、ロウ材等の接着剤を介し接着固定するとともに該半導体素子3の各電極をボンディングワイヤ5によりメタライズ配線層2に電気的に接続させ、しかる後、絶縁基体1の上面に蓋体8を樹脂やガラス、ロウ材等から成る封止材を介して接合させ、絶縁基体1と蓋体8とで形成される内部空間に半導体素子3を気密に収容することによって最終製品としての半導体装置となる。

【0038】なお、上述の配線基板はメタライズ配線層の表面に被着形成される銅めっき層が非磁性であることから、前記配線基板に高周波信号を使用する半導体素子が搭載されメタライズ配線層に高周波信号が伝播されたとしても高周波信号に遅延を生じさせることはなく、半導体素子を高速、かつ正確に作動させることもできる。

【0039】また、本発明は上述の実施例に限定されるものではなく、本発明の要旨を逸脱しない範囲であれば種々の変更は可能であり、例えば、本発明の配線基板を、半導体素子、容量素子、抵抗器等の電子部品を搭載する混成集積回路用の配線基板に適用してもよい。

【0040】

【発明の効果】本発明の配線基板の製造方法によれば、メタライズ配線層の露出表面にパラジウム活性を施した

後、まず次亜リン酸塩を還元剤として用いた自己触媒作用を有さないリン系無電解銅めっき液により1次銅めっき層を被着させることから、メタライズ配線層の表面に凹凸があるとしても凹部内を含む表面全体に1次銅めっき層を均等に形成することができ、同時に前記1次銅めっき層の表面にホルマリンまたはグリオキシル酸を還元剤として使用した自己触媒作用を有する無電解銅めっき液により2次銅めっき層を被着形成させることから、1次銅めっき層の表面に活性処理を施すことなく2次銅めっき層を所定厚みに、かつ1次銅めっき層に対し接合強度を大として被着させることができ、その結果、メタライズ配線層の表面の凹部に空隙部が形成されることはなくメタライズ配線層と銅めっき層との被着強度を大としてフクレ等の不具合を生じることのない配線基板を形成することができる。

【図面の簡単な説明】

【図1】本発明の製造方法で製作された配線基板を半導*

*体素子収納用パッケージに適用した場合の一実施例を示す断面図である。

【図2】図1に示す配線基板の要部拡大断面図である。

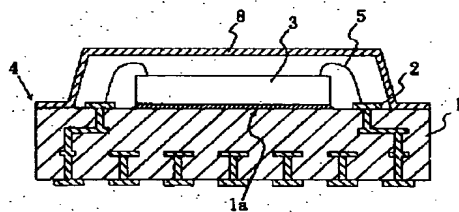
【図3】(a)乃至(c)は本発明の配線基板の製造方法を説明するための工程毎の要部断面図である。

【図4】従来の製造方法で製作された配線基板の要部拡大断面図である。

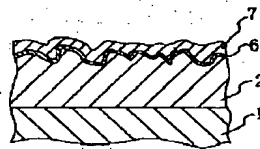
【符号の説明】

- 1・・・絶縁基体
- 1a・・・半導体素子搭載部
- 2・・・メタライズ配線層
- 3・・・半導体素子
- 4・・・配線基板
- 5・・・ボンディングワイヤ
- 6・・・1次銅めっき層
- 7・・・2次銅めっき層
- 8・・・蓋体

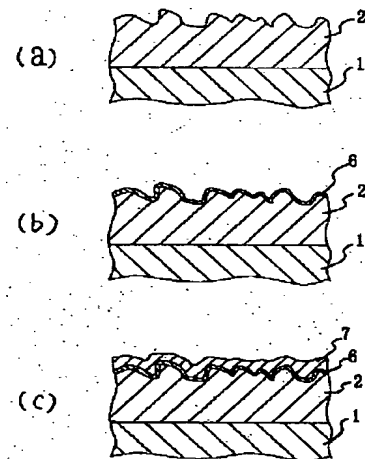
【図1】



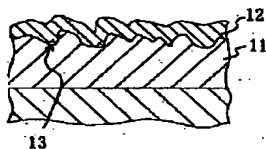
【図2】



【図3】



【図4】



フロントページの続き

Fターム(参考) 4K022 AA04 AA42 BA08 BA18 CA04
CA07 CA21 DA01 DB06
4M104 BB04 BB16 BB18 DD51 DD53
FF13 HH08
5E343 AA24 BB14 BB16 BB24 BB39
BB40 BB72 CC73 CC78 DD03
DD33 GG01 GG02